**Cuestión 1**. Mide en la curva de transferencia VOH y VOL (es decir, los niveles de tensión de salida a nivel alto y bajo, respectivamente), correspondientes a Vi = 0V y Vi = 5V. Se recomienda usar los cursores. La ventana del cursor nos indica estos valores: A1 (valor x) (valor y).

* **Vi = 0V → VOH = 5V.**
* **Vi = 5V → VOL = 0.137432V.**

Representa el consumo de corriente del inversor en función de la tensión de entrada. Para ello, sin salir del PROBE, añadir una nueva gráfica con el comando **Plot / Add Plot to Window**. Seleccionaremos la corriente ID(M1) que corresponde a IDS, y es equivalente a la corriente que suministra la fuente de tensión VDD. La potencia es el producto VDDID, es decir, 5V por cada IDS que se ha medido.

**Cuestión 2.** Mide la corriente con los cursores en los dos estados. ¿En qué estado hay consumo estático de corriente, en el “0” o en el “1” de salida? En el “0”. ¿Por qué? Porque es un inversor.

Vuelve al Schematics y varía el valor de RD a 10k y a 200k. Simula y analiza

la influencia en los niveles lógicos de salida y en el consumo de corriente.

**RD = 10k →** La V no llega al “0” lógico.

**RD = 200k →** La V llega al “0” lógico.

Cuanto más grande es la RD, más se acerca la V al “0” lógico.

**Cuestión 3.** ¿Qué valor de RD mejora el nivel lógico VOL? Razona la respuesta a

partir del divisor resistivo que se forma entre RD y RON:

* VOL =

A través de la fórmula, se sabe que cuanto mayor es RD, menor es VOL. Por lo tanto, el nivel lógico de VOL será mejor, cuanto mayor sea RD, ya que lo que se busca es que VOL tenga el menor voltaje posible.

**Cuestión 4.** ¿Qué valor de RD reduce (mejora) el consumo? Razona la respuesta

a partir de la corriente que circula por la malla DS:

IDS =

Es el mismo caso que el anterior. A través de la fórmula, se sabe que cuanto mayor es RD, menor es IDS. Por lo tanto, el nivel lógico de IDS será mejor, cuanto mayor sea RD, ya que lo que se busca es que IDS tenga la menor intensidad posible.

Para visualizar la potencia que disipa el transistor, podemos insertar en Probe la siguiente expresión: V(M1:d) \* ID(M1), que corresponde a P = VDS \* IDS. Se puede observar que entre 1V y 2V la disipación es mayor debido a una VDS mayor, a pesar de una IDS menor. Esto explica que un transistor Mosfet en conmutación se calentará más en las transiciones.

Queremos ahora ver la respuesta en el tiempo del inversor. Introduciremos una onda cuadrada en la entrada y analizaremos la salida. Sustituiremos la fuente **VDC** de entrada (Vi) por una fuente de tipo **VPULSE**. Restablecer RD = 90k. Especifica los siguientes parámetros:

* V1 = 0V (nivel bajo)
* V2 = 5V (nivel alto)
* TD = 10n (tiempo inicial)
* TR = 2n (tiempo del flanco
* de subida)
* TF = 2n (tiempo del
* flanco de bajada)
* PW = 40n (duración del
* nivel alto)
* PER = 100n (duración del
* período)

No cambiar el resto de parámetros.

Sitúa los marcadores de tensión (Voltage/Level Marker) en la entrada y en

la salida.

Selecciona una simulación de tipo **Transient** y desactivar la tipo DC Sweep, mediante el comando **Analysis/Setup/Transient**. En la ventana de Transient, indica un **Print step** = 1n, **Final time** = 120n. *Print step* and *Final time* especifican la resolución temporal y la duración total de la simulación, respectivamente.

Simula con **Analysis/Simulate**. Automáticamente aparecerán las señales de

entrada y salida.

**Cuestión 5.** ¿Cómo es la señal de salida respecto a la de entrada? Cuadrada. ¿Cuál es la función lógica del circuito?

Conecta un condensador de **0.1pF** entre la salida y masa (ver Figura 4). Este condensador parásito modeliza las capacidades del transistor y del cableado de salida. Varía RD (10k, 90k, 200k) y repetir el análisis Transient anterior, visualizando la señal de entrada y salida. Observa el **retardo** de la señal de salida respecto de la señal de entrada. La Figura 5 ilustra la medida del retardo de las dos transiciones en un caso general.

**Cuestión 6.** ¿Qué le ocurre al retardo al aumentar RD? Que ya no es cuadrático. ¿En cuál de los 2 retardos se nota más la influencia de RD: en la transición LH (tpLH) o en la transición HL (tpHL) de la señal de salida? Mida con los cursores ambos retardos para 90k. El retardo se nota más de LH. De HL es casi inmediato.

**Cuestión 7.** ¿Por qué se dice que el valor de RD se elige buscando un compromiso

entre consumo, niveles lógicos y velocidad? Ya que el tamaño de la resistencia también importa al realizar el diseño para que esté lo más optimizado posible, y también se busca que los niveles lógicos sean “lo más perfectos posibles”, sin afectar mucho a la velocidad, se debe buscar un valor de RD que encuentre el equilibrio entre todos estos factores.